

Optimierung und Synthese eingebetteter Systeme

Gedächtnisprotokoll vom 15. Februar 2018

Note: 1,0

1 Y-Diagramm

Aufgabe: Y-Diagramm aufzeichnen. Die 3 Sichten und die 6 Ebenen benennen.

Frage: Von wo nach wo (im Diagramm) gelangt man mit Synthese?

Antwort: Von der Verhaltenssicht zur Struktursicht.

Frage: Wohin sonst noch?

Antwort: Je nach Synthese-Art auch Abstraktionsebenen tiefer, Richtung elektrischer Ebene des Diagramms.

Frage: Wie heißt die Gegenrichtung?

Antwort: Analyse.

2 High-Level-Synthese

Frage: Welche Schritte nimmt die HLS nach dem Optimieren des Zwischenformats vor?

Antwort: Allokation, Scheduling und Bindung.

Frage: Was haben wir für Verfahren gehört, die vor dem Scheduling allokiert werden?

Antwort: ASAP mit Hardwarevorgabe. *Frage:* Und noch ein besseres?

Antwort: List-Scheduling

Aufgabe: Erklären. Hierbei hat der Prüfer meinen Datenflussgraphen so modifiziert, dass wichtig wurde, dass nur ablauffähige Operationen gescheduled werden.

Frage: Über was iteriert der Algorithmus?

Antwort: Über die Kontrollschritte.

Frage: Welches Verfahren Scheduling zuerst?

Antwort: ASAP / ALAP.

Aufgabe: Erkläre Force-Directed Scheduling

Hier war eine sehr ausführliche Erklärung gefragt. Alle Kräfte (self-force, predecessor force, successor force, total force) mit Erklärung aufzählen. Formeln waren nicht gefragt, aber ich habe sie grob hingeschrieben und ihre Auswirkungen erklärt. *Frage:* Was ist der Distribution Graph?

Antwort: Ein Maß für die Auslastung einer Recheneinheit bei gegebenem Kontrollschritt.

Frage: Wann und wie oft muss der berechnet werden?

Antwort: In jeder Iteration für jede Recheneinheit.

Frage: Wie viele total forces müssen berechnet werden?

Antwort: In jeder Iteration für jede noch nicht zugewiesene Rechenoperation jeweils eine für jeden möglichen Kontrollschritt, in der sie ausgeführt werden könnte.

Frage: Wie wird zugewiesen, in welchem Kontrollschritt welche Operation ausgeführt wird?

Antwort: Anhand der kleinsten total force. (Achtung, es wird nicht festgelegt, welche Recheneinheit in welchem Kontrollschritt letztendes was rechnet. Das ist Aufgabe der **Bindung!**)

Frage: Welche Verfahren zur Registerallokation kennst du?

Antwort: Greedy, Lösung per Konfliktgraph / Verträglichkeitsgraph, Left-Edge-Algorithmus

Frage: Wie löst man die Registerallokation mit einem Verträglichkeitsgraphen?

Antwort: Man erzeugt für jede Variable einen Knoten und fügt genau dann eine Kante zwischen zwei Knoten ein, wenn die Lebenszeit der Variablen sich nicht überschneidet. Dann löst man darauf das Clique-Problem. Die Anzahl der Cliques entspricht dann der Anzahl der mindestens nötigen Register.

3 Logiksynthese

Frage: Was sind Teile der Logiksynthese?

Antwort: Minimierung von 2- oder mehrwertiger Logik, Zustandskodierungen, Zustandsminimierungen...(unterbricht)

Frage: Wann sind zwei vollständig spezifizierte Zustände minimierbar / äquivalent?

Antwort: Wenn ihre Ausgaben gleich, und ihre Folgezustände äquivalent sind.

4 Zieltechnologien

Frage: Welche Zieltechnologien kennst du?

Antwort: Mikrokontroller, DPSs, DRAM, SRAM, ROM, EEPROM, Flash Speicher, GAL, FPGA, PLA, PAL, Sea-of-Gates, Gate-Array, Standardzellen, Makrozellen, Vollkundenentwurf.

Frage: Was sind die Unterschiede, Vorteile und Nachteile von einem Gate-Array gegenüber einem Standardzellenentwurf?

Antwort: Ein Gate-Array hat bereits vorgefertigte Transistoren. Lediglich die Verdrahtung ist kundenspezifisch. Daher sind sie schneller lieferbar und deutlich günstiger. Ein Standardzellenentwurf dagegen ist (fast) beliebig personalisierbar. Daher kann er effizienter sein. Er ist aber auch teurer in der Herstellung, die sogar noch viel länger dauert.

Frage: Welche Place-Verfahren kennst du?

Antwort: Scatter / Random, Mead and Conway, Fiduccia-Mattheyses, Force-Directed, ... (unterbricht)

Frage: Wie funktioniert der Force-Directed Router?

Antwort: Er startet mit einer Zufallsplatzierung. Danach wird über alle Zellen iteriert: Nehme diese Zelle und platziere sie in die Mitte von allen Zellen, mit denen sie verbunden ist. Befindet sich dort bereits eine Zelle, tausche die beiden. Markiere die bewegte Zelle als unbewegbar bis an das Ende der Iteration. Verfahre so, bis ein Abbruchkriterium erreicht ist.

5 FPGAs

Frage: Wie ist ein FPGA aufgebaut?

Antwort: Es besteht aus einer homogenen Struktur von PSMs und CLBs. Letztere wiederum bestehen aus LUTs und Registern.

Frage: Erkläre den Zwischenschritt, der beim Abbilden eines Entwurfs auf FPGAs anfällt.

Antwort: Packen und Clustern. Dieser sorgt dafür, dass kritische Pfade der Schaltung auf jeden Fall in den selben CLB gepackt werden. Darüber hinaus verringert sich die Eingabe für den anschließenden Place & Route Algorithmus. Dieser erhält nur noch CLBs, anstatt einzelne LUTs als Eingabe.