

Praktikum Analog Chip-Design (ACD-PR)

SS2017

Dokumentation zur Ausarbeit von Meister Rados

Goethe Universität Frankfurt am Main
Lehrstuhl für Entwurfsmethodik
Prof. Dr.-Ing Lars Hedrich



2. Dezember 2019

1 Modul: Praktikum Analog Chip-Design

Das Modul „Modul: Praktikum Analog Chip-Design“ wird im Masterstudiengang Informatik an der Goethe Universität Frankfurt am Main von dem Lehrstuhl für Entwurfsmethodik angeboten.

Im Rahmen dieser Veranstaltung erlernen die Teilnehmer den Umgang mit Chip-Design Tools (wie z.B. „Cadence“). Es wird der gesamte Entwurf einer selber auszusuchenden Schaltung praktisch durchgeführt. Abschließend wird das entworfene Chiplayout gefertigt und getestet.

Insgesamt gibt es 8 Gruppen von jeweils zwei bis drei Studenten, die sich die Gesamtfläche des Dies teilen. Die Dies werden auf einem Wafer in der 350nm-Fabrik der Firma AMS in Österreich gefertigt und beherbergt Entwürfer verschiedener Universitäten.

4. Informatik-Veranstaltungen des Studiengangs

ACD-PR Praktikum Analog Chip-Design			
Gebiet: Informatik der Systeme			
Veranstaltungs-Nr: ACD-PR	CP: 8	SWS: 4 PR	
Lehrform: Praktikum	Unterrichtssprache: Deutsch oder Englisch		
Selbststudium: 6 CP	Kontaktstudium: 2 CP		
Inhalt: Im Praktikum wird an modernen EDA-Systemen Teile eines Mixed-Signal-Chips entworfen. Die Teilnehmer erzeugen für ihr Projekt einen Entwurf von der Idee über die Spezifikation, den Schaltplan bis hin zum Layout. Durch Simulation und weitere Prüfschritte wird die Korrektheit sichergestellt. Eine Fertigung des Multiprojekt-Chips kann unter Umständen erfolgen, dann sind auch Messungen an der Hardware möglich.			
Verwendbar in den Modulen:			
Modulname	Modul-Nr.	Spez.	Seite
Eingebettete Systeme A	M-HSE-ES-A	HSE	234
Eingebettete Systeme B	M-HSE-ES-B	HSE	235
Praktikum Hardware Systems Engineering A	M-HSE-PR-A	HSE	244
Praktikum Hardware Systems Engineering B	M-HSE-PR-B	HSE	245
Praktikum zur Theoretischen Informatik	M-Theo-PR	Theo	299

Abbildung 1: Modulbeschreibung aus dem Modulhandbuch des Studiengangs Informatik Master der Goethe Universität Frankfurt am Main (Quelle)

2 Idee: Ein Equalizer

Ich entschied mich (zusammen mit einem Kommilitonen), einen Equalizer entwerfen zu wollen. Hintergrund dazu ist unsere Begeisterung für Musik und die Absicht, den Equalizer auch praktisch für Anlässe der Fachschaft, wie zum Beispiel das Sommerfest oder diverse Orientierungsveranstaltungen, einzusetzen.

Der Equalizer bekommt neben der Betriebsspannung VDD (3.3V), einer Referenzspannung V_{ref} (1.65V) und GND (0V) ein Audiosignal zugeführt. Dieses Audiosignal wird dann durch Filter in Frequenzbereiche eingeteilt, wo dann per Potentiometer eine Verstärkung eingestellt werden kann. Anschließend werden die Signale per Summiererschaltung wieder zusammengeführt, wonach sie dann den Chip wieder verlassen.

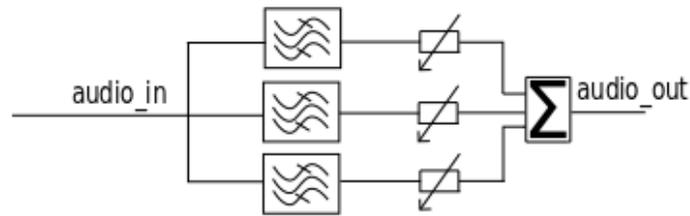


Abbildung 2: Übersicht über den Equalizer

2.1 Schaltungsentwurf

Zunächst muss die Schaltung entworfen, spezifiziert und getestet werden. Dies erfolgt mit dem Tool „Schematics XL“. Zu Beginn bestand die Absicht, 4 Bänder für den Equalizer zu verwenden. Aus Platzgründen wurden nur 3 realisiert. Wir begannen mit der Spezifikation des Tiefpasses, der die Grenzfrequenz bei 100Hz haben sollte. Ein einfaches RC-Glied war schnell dimensioniert. Ebenso schnell aber kamen Probleme auf: Die Dimension des RC-Gliedes würde mit einigen Quadratmillimetern Fläche, die uns zur Verfügung stehende Gesamtfläche weit überschreiten.

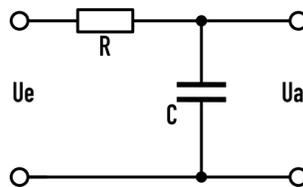


Abbildung 3: Das RC-Glied: ein Tiefpass

Die Lösung für das Platzproblem: Der Butterworth Filter 4. Ordnung. Der Butterworth Filter ist vergleichbar mit dem RC-Glied, der entscheidende Unterschied ist jedoch, dass der Widerstand des RC-Gliedes durch einen OTA mit

enorm großen Innenwiderstand ersetzt werden kann und dabei praktisch keine Fläche benötigt.

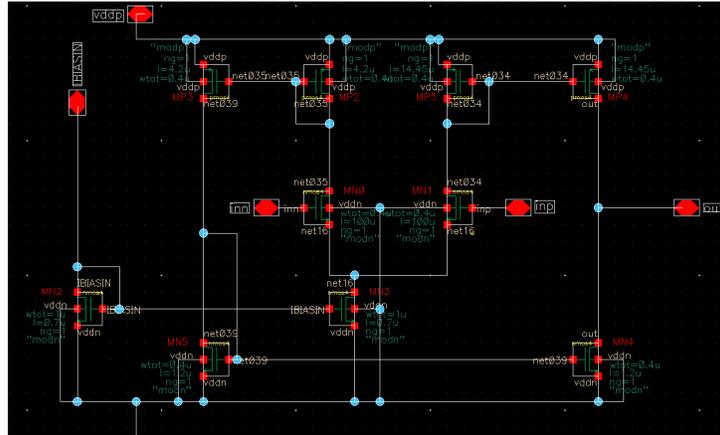


Abbildung 4: Schematic des OTAs

Damit ist das Problem einen großen Widerstand auf kleiner Fläche zu erzeugen gelöst. Es verbleiben noch die ebenfalls großen Kapazitäten zu dimensionieren.

Da es möglich ist, den Widerstand des OTAs beliebig groß werden zu lassen (sog. Faktor g_m), und die Kapazitäten des Filters bei steigendem Widerstand an Farad einsparen, liegt es nahe, g_m so groß zu wählen, dass alle Kapazitäten auf den IC passen. Der Faktor g_m lässt sich durch die Dimensionierung der Transistoren im OTA einstellen.

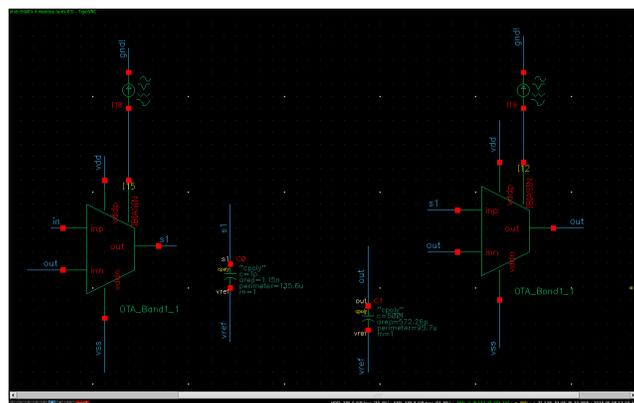


Abbildung 5: Band 1 des Equalizers: der Tiefpass

3 Simulation

Um die korrekte Grenzfrequenz der Bänder zu garantieren, werden die dimensionierten Schaltungen simuliert. Das geschieht mit dem Tool „ADE XL“. Die Simulation zeigt, dass bei unserer Dimensionierung des Faktors g_m , das gefilterte Signal klirrt. Das ist besonders unpraktisch, wenn es sich um ein Audiosignal handelt. Das menschliche Gehör ist für solches Klirren empfindlich, was zu einem nicht zufriedenstellenden Ergebnis führen würde. Somit sind die gefundenen Werte für g_m nicht geeignet und müssen reduziert werden. Dadurch werden die Kapazitäten wieder größer und schlussendlich müssen 2 Kapazitäten extern vom Chip, „Off-Chip“ realisiert werden.

Die Dimensionierung der Stromquellen für die Bänder wird per globale Optimierung durchgeführt. Hierbei ist es möglich einen gewünschten Wert, wie Stromstärke einer Stromquelle, anzugeben. Das Tool errechnet dann, falls realistisch, die Dimensionierung der Schaltungselemente.

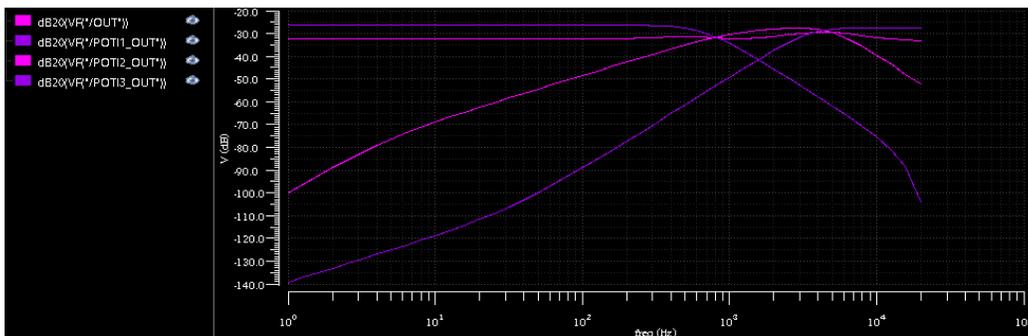


Abbildung 6: Simulation der drei Bänder

Band	Untere Grenzfrequenz	Obere Grenzfrequenz
1	0 Hz	700 Hz
2	700 Hz	8000 HZ
3	4000 Hz	∞ Hz

Abbildung 7: Grenzfrequenzen der Bänder

4 Layout

Nachdem alle Schaltungen fertig dimensioniert und ausgiebig getestet wurden, kann mit dem Design des Layouts angefangen werden. Hierzu wird das Tool „Layout GXL“ verwendet. Auf dem Chip stehen 3 Metallebenen zur Verfügung, die für Verdrahtung genutzt werden. Das Erzeugen von N- und P-Wannen übernimmt das Tool für uns. Wenn alles verdrahtet ist, steht der „Design-Rule-Check“ an. Dieser vergleicht, ob das von uns angefertigte Layout mit den Richtlinien der Fabrik von AMS konform ist. Hier wird zum Beispiel unterbunden, dass Details mit einer Auflösung von weniger als 350nm im Layout vorhanden sind. Dies kann zum einen durch zu kleine Transistoren oder auch durch zu dicht aneinander vorbeilaufende Leitungen entstehen. Als letzten Test wird ein „Layout versus Schematic“ Test an. Dieser überprüft, ob das Layout logisch der Schaltung des Schematics entspricht. Ein Extrahieren des Schematics vom Layout, sowie dessen Simulation wurde ausgelassen.

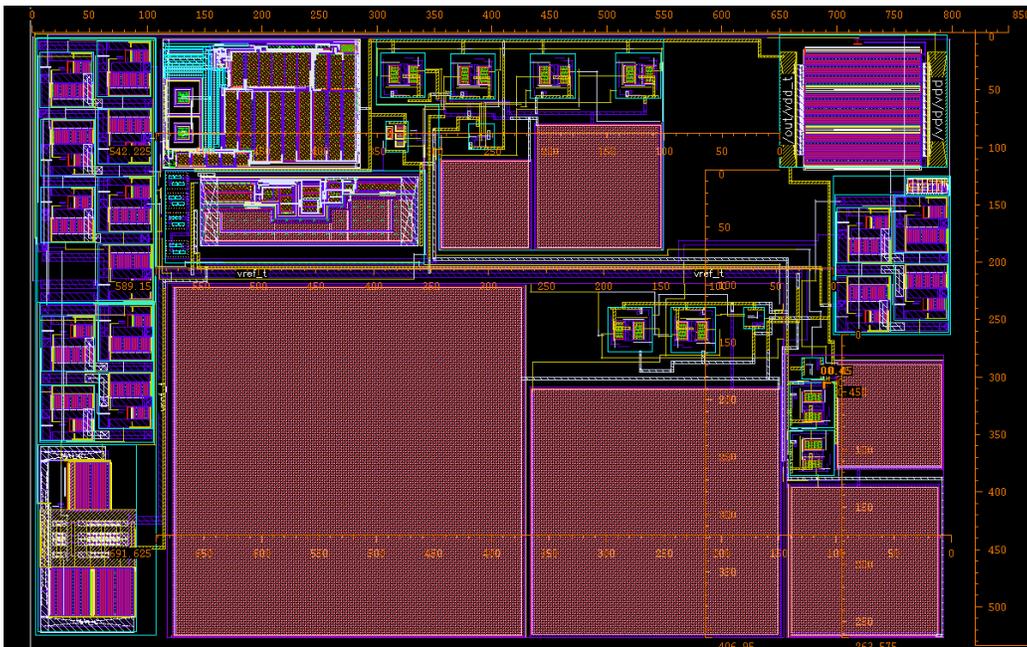


Abbildung 8: Das fertige Layout

5 Der Chip

Der fertige Chip wurde am 27. Februar 2018 geliefert.

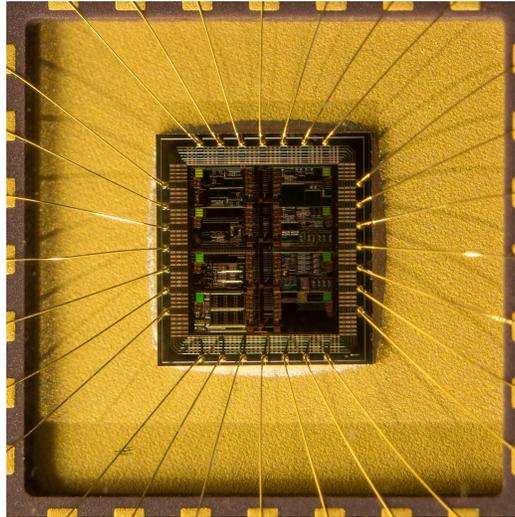


Abbildung 9: Der fertige Chip



Abbildung 10: Der Equalizer auf dem gefertigten Chip



Abbildung 11: Der Chip im Packaging

6 Aufbau und Test

Zuletzt steht der praktische Test an. Dazu wird der Chip auf einem Breadboard verkabelt. Ein Spannungsgenerator erzeugt die nötigen drei Spannungsniveaus, die der Chip zum Operieren benötigt, das Audiosignal kann über eine 3,5er Klinke eingespeist werden.

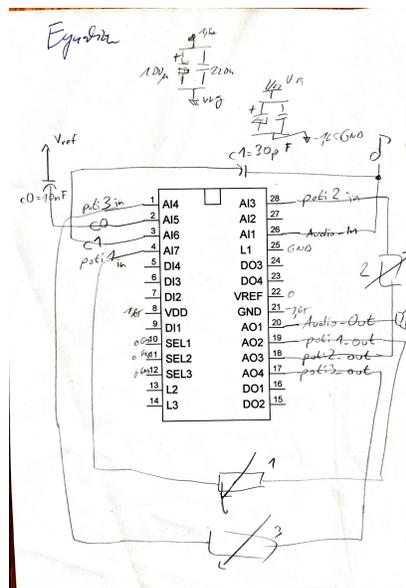


Abbildung 12: Externe Beschaltung des Chips

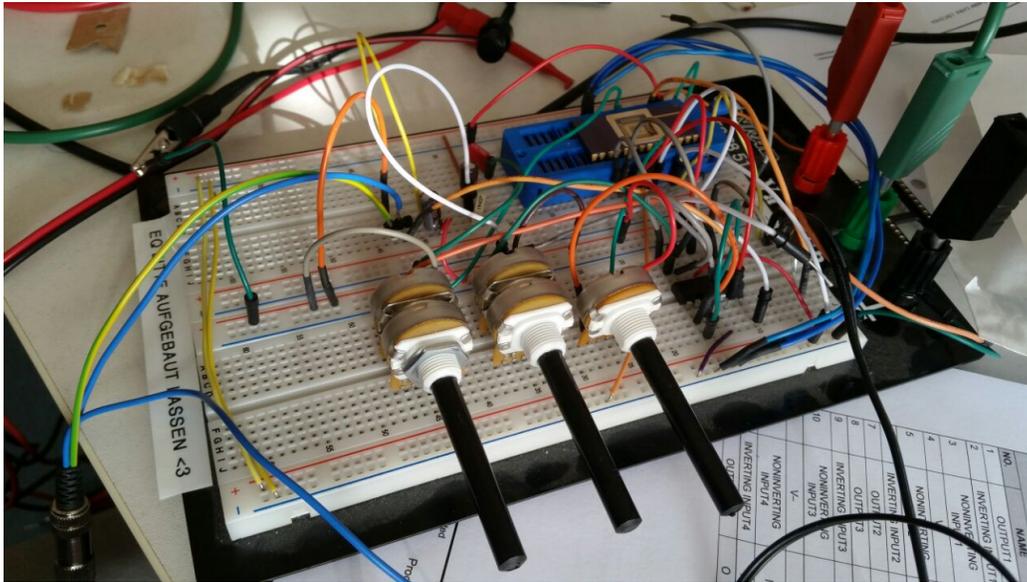


Abbildung 13: Versuchsaufbau mit Breadboard

Der Equalizer funktioniert einwandfrei. Professor Hedrich und meine Gruppe waren positiv überrascht und hatten viel Spaß mit dem Equalizer. Herr Hedrich war so begeistert, dass er Videos von dem Equalizer gemacht hat. Diese werden hoffentlich bald online gestellt. Sobald Links verfügbar sind, werde ich sie nachreichen.